한국 등독특허먼호 2000-268/45호(2000.10.16) 1무.

10-0268745

(19) 대한민국특허청(KR) (12) 등록특허공보(B1)

	• · · · · · ·
(51) Int. CI. ⁷ G11C 11/409	(45) 공고밀자 2000년10월16일 (11) 등록번호 10-0288745 (24) 등록일자 2000년07월15일
(21) 출원번호 (22) 출원일자	10-1997-0050705 (65) 공개번호 특1998-0053507 1997년(9월30일 (43) 공개일자 1998년(10월07일
(30) 무선권주장	08/770,364 1996년 12월20일 미국(US)
(73) 특허권자	인터내셔널 비지네스 머신즈 코포레이션 - 포만 제프리 엘 미국 10504 뉴욕주 마몬크
(72) 발명자	황웨이 미국 뉴욕주 10504 마몬크 룡 폰드 로드 3 통왕킨
(74) 대리민	역장인 미국 뉴욕주 10514 챠파쿠아 랜덤 팜스 드라이브 23 김창세, 장성구
### OC###	

심사관 : 이승호

(54) 병합된 동적 런텀 액세스 메모리/논리 소자

교육 집 아키텍처 표준(chip architecture standard)은 통적 런덤 액세스 메모리 때크로(dynamic random 집 아키텍처 표준(chip architecture standard)은 통적 런덤 액세스 메모리 때크로(dynamic random access memory macros; DRAM macros) 및 로직 코어(logic cores)를 병합한다. 병합된 DRAM 및 논리 설 access memory macros; DRAM macros) 및 로직 코어(logic cores)를 바고 악세스 속도, 저 계로부터의 표준은 시스템 온접(system-on-chips) 설계시에 단순성, 높은 판목 및 기록 액세스 속도, 저 계로부터의 표준은 시스템 온접(system-on-chips) 설계시에 단순성 분은 판목 및 기록 악세스 속도, 저 계로부터의 표준은 시스템 온접(system-on-chips) 설계시에 대한 높은 성능 및 낮은 클릭 전력 소비 및 요ce 성지의를 제공한다. 제 마크로 및 로직 코어에 대로부터 각종 DRAM 매크로의 대용하는 입력까지의 평형 와이어리(balanced wiring)에 로직의 출력 드라이버로부터 각종 DRAM 매크로의 대용하는 입력까지의 평형 와이어리(balanced wiring)에 로직의 출력 드라이버로부터 각종 DRAM 매크로의 대용하는 입력까지의 평형 와이어리(balanced wiring)에 로직의 출력 그리다는 마AM 매크로의 제 어디에 어디에 어디에 전략을 분배하고 디커플링 캐패시터 머레이(decoupling capacitor arrays)를 내장하여 명시 매크로 및 로직 코어 사이의 잡음을 억제하고 첩 등작시에 전원 변동 di/dt을 최소화한다.

13.44.5

52

BAN

定型型 沙珠哥 犁哥

- 도 1은 본 발명에 따른 병합된 DRAM/논리 첩의 일에인 마키텍처의 불록도.
- 도 2는 도 1에 도시된 병합된 DRAM/논리 침에 대한 첩 평면의 블록도.
- 도 3은 클럭 네트워크에 대한 중래 기술의 방법을 나타내는 수정된 도 2에 도시된 평면의 불록도.
- 도 4a는 본 발명에 따른 굴컥 생성 네트워크의 레이아웃을 나타내는 도 2에 도시된 평면의 블록도. .
- 도 4호는 도 4a의 일부를 확대하며 본 발명에 따른 평형 제어 및 어드레스 라인를 확대하며 상세하게 도시 한 도면.
- 도 5a는 DRAM 매크로 및 각종 로직 코어와 함께 드라이버 및 디커플링 캐패시터를 나타내도록 구현된 칩 의 평면도.
- 도 5b는 DRAN 매크로 및 로직 코어에 대한 전력 그리드를 LIEN내도록 구현된칩의 평면도.
- 도 6a 및 도 6b는 제어가능한 전력 패드 접속을 사용할 수 있는 접속 유형의 예룡 개략적으로 도시한 도
- 도 2은 DRAM 매크로 및 로직 코어 전력 그리드를 접속하거나 또는 개방하는 프로그램가능한 와이더링 구 조의 불록도.

<u>도면의 주요 부분에 대한 부호의 섬명</u>

11, 22 : 위상 동기 루프 13, 24 : 대역폭 그래픽 엔진

12, 23 : 메모리 제어기 14, 25 : 직렬 액세스 메모리

15 : 동기형 DRAM

16a, 16b : 데이터 버스

17a, 17b, 17c, 17d : 멀티플렉서/버대

앞명의 상세관 설명

世界의 号号

监督이 今群는 기술분야 및 그 분야의 종래기술

분 합명은 전반적으로 단일 집적 회로(IC) 칩상에 병합된 로직 아키텍처 및 동적 랜덤 액세스 메모리 (ORAM)에 관한 것으로, 보다 상세하게는 임계 경로 클릭 및 제어 신호에 평형 와이어림(balanced wirin 이용 제공하고 따요에 매크로 및 로직 코어에 대해 전력 그리드 분배 네트워크(power grid distribution 이을 제공하고 따요에 매크로 및 로직 코어에 대해 전력 그리드 분배 네트워크(power grid distribution network)를 단순화하는 표준화된 단월 칩의 병합된 DRAM/로직 아키텍처 및 평면에 관한 것이다. 본 탑 이른 특히 랜덤 액세스 판독 또는 기를 트래픽상에서 고성능을 지원할 수 있는 통합된 매체 메모리 영은 특히 랜덤 액세스 판독 또는 기를 토래픽상에서 고성능을 지원할 수 있는 통합된 매체 메모리 (unified media memory; UMA) 엔진에 적용가능한 것이다.

단일 칩상에서 수백만개의 논리 게이트 및 메모리 셀을 갖는 복합 시스템을 미끌어내기 위한 많은 시도가 있었다. 그러나, 단일 첩상에 다수의 게이트 및 메모리 매크로를 설계하는 것은 엄청난 문제물 재공하 게 된다. 현재의 반도체 산업 환경에서, 로직 코어는 로직 프로세스 기술을 기초로 하며 개발되고 있으 게 된다. 한자의 반도체 산업 환경에서, 로직 코어는 로직 프로세스 기술을 기초로 하며 개발되고 있으 며, DRAM 메크로는 DRAM 프로세스 기술을 기초로 하며 개발되고 있다. 논리 및 DRAM 기술은 2개의 매우 상이한 방법을 제시한다.

때우 상이한 그라운드 규칙에 기초하는 주문 설계, 합성 설계, 사진설계된 로직 코어(pre-designed logic cores) 및 재사용가능한 DRAM 대크로풉 조합시키는 것은 때우 복잡한 일이다. 판매용의 새로운 시스템 요칩 제품을 구축하는 것은 새로운 병합된 논리/DRAM 기술을 필요로 한다.

온칩 제품을 구축하는 것은 새로운 명합된 논리/UKAN 기술을 발표도 만나.
현재의 기본 시스템 온칩 설계의 개념은 재고의(off the shalf) 소자가 인쇄 회로 기판(printed circuit board: PCB)상에 배치되는 것과 동일한 방식으로 칩상에 로직 코어 또는 메모리 때크로를 배치하고, 메모리, 렌덤 로직, 데미터 경로 접속부를 부가하여 시스템 레벨미 집적회된다. 불행하게도, 미는 간단하지리, 렌덤 로직, 데미터 경로 접속부를 부가하여 시스템 레벨미 집적회된다. 불행하게도, 미는 간단하지리, 렌덤 로직, 데미터 경로 접속부를 보가하여 시스템 레벨미 집적회된다. 불행하게도, 미는 간단하지리, 렌덤 로직 모여 또는 메모리 매크로와 함께 작업하면 설계 시간에 있어 교속의 틴더라운드가 않다. 기존의 로격 크어 또는 메모리 매크로보 함께 작업하면 설계 시간에 있어 교속의 틴더라운드가 않다. 기존의 로격 모습니 또는 메모리 매크로와 함께 작업하면 설계 시간에 있어 고속의 투자 전함으로 근직 코어 및 마셔에 매크로를 조합하는 경임 인터페이스 작업을 여전히 필요로 한다. 중래의 반석으로 근직 코어 및 마셔에 매크로를 조합하는 경임 의 인터페이스 작업을 여전히 필요로 한다. 중래의 반석으로 근직 교육 및 마셔에 매크로를 조합하는 경임 집적회자 소급을 가 매시터 (switching noise decompting capacitors)가 있어야 한다. 클릭 스큐, 성능, 전력 소문 비, 랜덤 액세스 데이터 속도, 마라에 매크로 및 로직 코어의 등기화, 잡음 다진 및 패키지와 같은 다른 모네, 랜덤 액세스 데이터 속도, 마라세, 단일 철상에서 시스템을 집적하기 위해서는 평면도, 전력 및 제를도 역시 중요해결 수 있다. 따라서, 단일 철상에서 시스템을 집적하기 위해서는 평면도, 전력 및 제를도 역시 중요해결 수 있다. 따라서, 단일 철상에서 시스템을 집적하기 위해서는 평면도, 전력 및 클릭 분배, 어드레스, 제어 데이터 경로 및 입/종력(1/0) 버스의 설계가 커다란 문제가 된다.

监督이 이루고자 하는 기술적 承知

따라서 본 발명의 목적은 동일한 칩상에 DR새 매크로 및 로직 코머륨 배치하기 위한 사양을 제공하는 것

이다.

본 발명에 따르면, 단일 첩상에서 병합된 논리/DRAM 서브시스템의 아키텍처에 대한 사양이 제공된다.

본 발명에 따르면, 단일 첩상에서 병합된 논리/DRAM 서브시스템의 아키텍처에 대한 사양이 제공된다.

최은 상혹 및 하촉 SDRAM 대크로 사이의 칩 중앙부내의 로직 교어와 함께, 첩의 상혹 및 하촉 부분성에 해치된 다중뱅크(multi-bank)의 동기형 DRAM(SDRAM) 대크로로 구성된다. 첩 중앙부의 한 폭면상에 적어 도 하나의 위상 동기 부포(phase locked loop; PLL)가 배치되어 칩의 중앙으로 경로배정된 후도 하나의 위상 동기 부포(phase locked loop; PLL)가 배치되어 칩의 중앙으로 경로배정된 후도 바데팅되며, SDRAM 대크로 및 글로벌 블랙 드라이버를 구동시키기 위해 인버터의 팽형 트리를 통해 팬아버데링되며, SDRAM 대크로 벌 클랙 드라이버를 구동시키기 위해 인버터의 함형 트리를 통해 팬아네이팅 (Table Hard) 대한 클랙 시스템 플랙 지공하면 독정한 푹 및 두베를 갖는 2개 미상의 두께운 와이어 금속함을 미용하여 전체 칩상으로 분배되는 로컬 플랙 드라이버(local clock driver)에 대한 클랙 신호를 미용하여 전체 칩상으로 분배되는 로컬 플랙 드라이버(local clock driver)에 대한 클랙 신호를 미용하여 전체 칩상으로 분배되는 로컬 플랙 드라이버(local clock driver)에 대한 클랙 신호로 이용하여 전체 칩상으로 분배되는 모칙 플랙 드라이버에 고속 데이터 전송을 제공한다. 로젝스 사이의 교육 및 로젝 크어 사이의 전로 기의 드라이버를 통해 오십 시스템 버스 및 오프칩 소자 간에 고속의 양병양성 데이터 진송을 제공한다. SDRAM 매크로 및 로젝 코어에 대한 디커플링 캐패시터 어린이를 집합시스템 버스 및 오프칩 소자 간에 고속의 양병양성 데이터 진송을 제공한다. SDRAM 매크로 및 로젝 코어에 대한 디커플링 캐패시터 어린이를 집합하거나 또는 개방하기 위해 프로그램가능한 와이어링 셀(programmable wiring cell)이 제공된다.

발명의 구성 및 작용

전술한 내용 및 다른 목적, 특징, 및 장점은 첨부되는 도면을 참조하며 다음의 본 발명의 바람직한 실시 예의 상세한 설명으로부터 보다 잘 미해될 것이다.

도 1을 참조하면, 단일 첩상의 병합된 로직/DRAM 서브시스템의 아키텍처가 도시되며 있다. 도시된 특정한 아키텍처는 랜덤 액세스 판독 및 기록 트래픽상에서 고성능의 대역폭을 지원할 수 있는 병합된 DRAM 및 로직 기술로서 통합된 대체 메모리(unified media memory; LMM) 칩에 대한 것이다. 이러한 특정한 및 로직 기술로서 통합된 대체 메모리(unified media memory; LMM) 칩에 대한 것이다. 이러한 특정한 및 로직 기술로서 통합된 단지 메시적일 뿐이며, 개시된 기법이 많은 고성능의 시스템 온첩 설계에서 유용함은 물론이다.

도 1에 도시된 시스템은 위상 동기 루프(PLL) 클릭(11), 게미트 어레미 또는 표준형 셃의 랜덤 로직 메모 리 제어기(12), 고대역푹 그러픽 엔진(13)(도 1에서 BitBLT로서 도시됨), 직렬 액세스 메모리(series

access memory: SAM)(14), 및 다중뱅크의 64메가비트 동기형 DRAM(SDRAM)(15)를 포함한다. 이를 로직 코어 및 SDRAM 매크로는 고대역폭의 256비트 온침의 상축 및 하축 데이터 버스(16a 및 16b)를 통해 통신 한다. 게이트 어레이 메모리 제어가(12)는 각종 SDRAM 매크로에 모든 제어 및 머드레스 신호를 제공한 다. 조합된 멀티플렉션 및 버팹(NUX/BUFF)(17a, 17b, 17c 및 17d)는 (도 5a 및 5b에서 평면 주변에 도 시된 바와 같은) 오프햄 드라이버를 통해 오프쳅 입/출력(1/0)을 위한 상축 및 하축 데이터 버스(16a 및 시된 바와 같은) 오프햄 드라이버를 통해 오프쳅 입/출력(1/0)을 제공한다.

[100]의 강 단구에 입독한다. 「단(T) /E 단급 되었다. SDRAM 매크로(21, LH지 21, 및 21, LH지 21,)는 도 1의 마키텍처에 대한 평면도는 도 2에 도시되어 있다. SDRAM 메어기(23), BitBLT 앤진(24), SAM(25)을 포 칩의 상축 및 하측 부분상에 각각 배치되고, PLL(22), DRAM 제어기(23), BitBLT 앤진(24), SAM(25)을 포 칩하는 로직 교어는 상촉 및 하촉 SDRAM 매크로 사이의 첩의 중앙 영역상에 배치된다. PLL(22)은 칩의 합하는 로직 교어는 상촉 및 하촉 SDRAM 매크로 사이의 첩의 중앙 영역상에 배치된다. 중앙 영역의 소측면에 배치되어 클럭 생성 네트워크에 대한 클럭 신호를 생성한다.

응용 용격 권로(전에 배상되어 본격 용용한 경로증의 하나이다. 물럭 생성 네트워크를 제공하는 데에는 몇 달러 경로배정은 설계시에 가장 중요한 경로증의 하나이다. 물럭 생성 네트워크를 제공하는 데에는 몇 가지 방법이 있다. 중래 기술의 클럭 네트워크는 U자형 루프로서 분배되었다. 도 2의 평면에 적용된 가지 방법이 있다. 중래 기술의 클럭 네트워크는 U자형 루프로서 분배되었다. 도 2의 평면에 적용된 바와 같이, 6개의 SDRAM 매크로를 모두 접속하기 위해 도 3에 도시된 U자형 분배 시스템(31)이 생길 수 바와 같이, 6개의 SDRAM 매크로를 모두 접속하기 위해 도 3에 도시된 U자형 분배 시스템(31)이 생길 수 이다. 이 방법의 단점은 SDRAM 매크로들간의 롭력의 스큐 또는 신호의 저하를 막을 수 없다는 점이고, 이런한 O카텍처에서 각종 SDRAM 매크로들간의 롭력의 스큐 또는 신호의 저하를 막을 수 없다는 점이고, 이는 SDRAM 매크로(21,및 21,)의 경우에 대해서도 마찬가지이다.

이고, 이는 3DRAM 배크로(215빛 21e)의 경우에 대해서도 마찬가지이다.

본 발명에 따르면, 도 4에 도시된 바와 같이, PLL(41)로부터의 온첩 시스템 플럭은 칩의 증양(에인 클럭 한이)으로 경로배정되어, 두껍고 넓은 금속 와이어를 이용하여 저항-개패시턴스(RC)의 시간 지연을 최소화하고, 그리고 나서 버퍼(42a 및 42b)에 의해 버퍼릴되며, 인버턴의 펼혖 트리(도시되지 않음) 및 SDRAM 해하고, 그리고 나서 버퍼(42a 및 42b)에 의해 RC 시간 지연과 클럭 스큐를 최소화하는 방식으로 쉽게 매크로 및 논리 클럭 드라이버를 구동시키기 위해 RC 시간 지연과 클럭 스큐를 최소화하는 방식으로 쉽게 매크로 및 논리 클럭 드라이버를 구동시키기 위해 RC 시간 지연과 클럭 스큐를 최소화하는 방식으로 쉽게 대한 제의 폭과 수에 다시 1100 mm의 두/제를 가질 것이다. 또한, 메인 글로벌 클럭 드라이버는 부가의 1100 mm의 폭과 200 내지 1100 mm의 두/제를 가질 것이다. 또한, 메인 글로벌 클럭 드라이버는 부가의 비퍼링 레뱀을 제공하여 2개 이상의 금속층을 이용하여 전체 협상으로 분배되는 로벌 클럭 드라이버에 대한 담당 레뱀 함을 제공하여 2개 이상의 금속층을 이용하여 전체 협상으로 분배되는 로벌 클럭 드라이버에 대한 동생양에 의해 각각의 SDRAM 매크로로 균일하게 분배된다. 각각의 SDRAM 매크로는 우수 스큐(even 학본)에 의해 각각의 SDRAM 매크로로 균일하게 분배된다. 각각의 SDRAM 매크로에 대한 대한 역세스 스트로브(RAS), 열 액세스 스트로브(CAS), 기록 인데이를(E) 신호, 협 인메이템(CE) 신호를 수인한다. 스큐를 최소화하기 위해 모든 신호는 균일하게 분배된다. 모든 SDRAM 메크로에 대한 제머 신호한다. 스큐를 최소화하기 위해 모든 신호는 균일하게 분배된다. 모든 SDRAM 메크로에 대한 제머 신호한다. 스큐를 최소화하기 위해 모든 신호는 균일하게 분배된다. 모든 SDRAM 메크로에 대한 제머 신호한다. 스큐를 최소화하기 위해 모든 신호를 균성하게 분배된다. 모든 SDRAM 메크로에 대한 제머 신호한다. 스큐를 최소화하기 위해 모든 신호는 균일하게 분배된다. 모든 SDRAM 메크로에 대한 제머 신호한다. 스큐를 최소화하기 위해 모든 신호를 균성하게 분배된다. 모든 SDRAM 메크로에 대한 제머 신호한다. 스트로브(RAS), 대는 인수에 대한 대칭형 레이아웃은 칩의 하혹 부분상의 SDRAM 셀(도시되지 않음)에 대한 것과 통일함 수 있다.

집의 대청형 레이아웃은 본 발명에 따른 병합된 마셔/로직 사양의 중요한 부품이다. 대칭형이 아니면, 협력은 동기화된 방식으로 신호를 전송할 수 있으나, 몇몇 셀은 다른 셀보다 일찍 또는 늦게 데이터를 취 할 수 있다. 젊은 가장 느린 부품 정도의 속도로만 기능할 수 있으므로, 모든 메모리 셀은 데이터를 통 시에 수신하고 저장해야 한다.

시에 수산하고 저장해야 한다.
칩 중앙부의 SDRAM 매크로 및 로직 코어 사이에는 병렬의 데이터 버스가 배치된다. 데이터 버스의 절반 집 중앙부의 SDRAM 대크로 및 로직 코어 사이에는 병렬의 데이터 버스가 배치된다. 데이터 버스의 해치된다. 으로직 코어 및 상촉 SDRAM 사이에 배치된다. 인료 전 크로를 최소화하는 방식으로 순서하면이터 버스의 비트롭은 데이터 버스의 인접 비트물간의 신호 커플링 효과를 최소화하는 방식으로 순서하면이터 버스의 비트를은 데이터 버스의 인접 비트물간의 신호 커플링 효과를 최소화하는 당식으로 순서하면이다. 이는 기술되는 특정한 아키텍처의 구선에 대한 도카플링 캐패시터가 영화하게 도시되어에 대한 디커플링 캐패시터가 영화하게 도시되어에 대한 디커플링 캐패시터는 메모리에 잡음 차폐재(noise shleto)를 제공한다. 로직 코어는 SDRAM의 있다. 디커플링 캐패시터는 메모리에 잡음 차폐재(noise shleto)를 제공한다. 로직 코어는 SDRAM의 있다. 디커플링 캐패시터 어레이는 컵 등작시에 존원 등 간섭할 수 있는 잡음 환경에서 동작한다. 또한, 디커플링 캐패시터 어레이는 컵 등작시에 존원 변동 네/너의 효과를 감소시킨다. 디커플링 캐패시터 어레이는 컵 영역 요건을 증대시키지 않고 시스템 변동 네/너의 효과를 감소시킨다. 디커플링 캐패시터 어레이에 대한 기본 쌓은 증레의 DRAM 기술로 평형 트랜지스터 쇟 또는 트렌치 캐패세터 설팅 캐패시터 어레이에 대한 기본 쌓은 증레의 DRAM 기술로 평형 트랜지스터 쇟 또는 트렌치 캐패세터 생물이 기본에 대한 기본 생은 증레의 DRAM 기술로 평형 트랜지스터 쇟 또는 트렌치 캐패세터 에레이에 대한 기본 쌓은 증레의 DRAM 기술로 평형 트랜지스터 쇟 또는 트렌치 캐패세터 생물이 기본에 되는 조리의 이용하여 기술로 명칭 토리지는 PLI에 대해 개념적인 Ydd 전 전 그리트(Ydd 및 Gnd의 수평선 및 Gnd의 수평선 및 Gnd의 무정고 넓은 급속총을 이용하여 서로 인터리보된다. PLI에 대해 개념적인 Ydd 전 원이 또한 존재한다.

SORAM 대크로 및 로직 코어에 대한 전력 그리드는 2개의 인접한 접촉 패드간의 프로그램가능한 퓨즈 (programmable fuse)를 도입합으로써 서로 용이하게 함께 접속될 수 있다. 이러한 퓨즈의 구조는 도 6a (programmable fuse)를 도입합으로써 서로 용이하게 함께 접속될 수 있다. 이러한 퓨즈의 구조는 도 6a에 도시되어 있으며 전형적으로는 한쌍의 접촉 패드(62 및 63)를간의 휴즈 소자로서 즐리싫리콘 와이어 에 도시되어 있으며 전형적으로는 한쌍의 접촉 패드(62 및 63)를간의 휴즈 소자로서 즐리싫리콘 와이어 등 구함한다. 대안으로, 도 6b에 도시된 바와 같이 테스팅을 위해 전계 효과 트랜지스터(FET) 소자 (61)를 포함한다. 대안으로, 도 6b에 도시된 바와 같이 테스팅을 위해 전계 효과 트랜지스터(FET) 소자 (64) 형태의 프로그램가능한 엔티퓨즈(programmable anti-fuse)가 사용될 수 있다. 두 경우에 대해, 도 7에는 ORAM 매크로 및 로직 코어 전력 그리드를 접속하거나 또는 개방하기 위한 전형적인 프로그램가능한 와이어링 구조가 도시되어 있다.

고성능을 위해 칩은 명형 협력 분배, 제어 및 머드레스 버스, 전력 그리드 분배, 다수의 독립적인 내부 뱅크를 통한 데이터 분배, 다수의 미결정 트랜잭션(outstanding transactions)를 갖는 능력, 고속의 넓은 외부 I/O 채널에 의존한다. 각각의 SDRM 따크로내에서는 동기화, 고속 랜덤 액세스, 낮은 클럭 스큐가 강화된다. 평면은 단순성, 대청형 액세스, 저전력 분배, 잡음 억제의 장점을 갖는다.

기술되고 에시된 SDRAM 매크로 UMM 엔진은 통기형 단일 뱅크 레벨 또는 다중레벨의 행 액세스 스트로브 (RAS) 제어를 특징으로 하고 200세로 등작에 의해 1/2/4/8/전체 페이지 버스트 모드를 지원한다. 때크로 로부터 획득된 1/0의 수는 6401대, 이는 2개 미상의 매크로를 조합함으로써 미상적인 인터리빙 (Interleaving) 또는 시전인물 (prefetch) 마키텍처를 제공한다.

PLL은 제어 신호를 각종 매크로로 동기회하기 위한 게이트 어레이 메모리 제어기에 신호를 보낸다. 데 이터는 NMM 엔진의 외부로부터 수신되거나 또는 메모리 제어기에 의해 제어된 4개의 멀티플렉서 및 버퍼

(MUX/RUFF)클 통해 오프칍으로 전송되며, 그 메모리 제어기는 각종 DRAM 메크로 및 로직 코어에 제어 신호 및 머드레스 신호를 전송한다.

상기한 비와 같은 본 발명에 따르면, 참 아키텍쳐 표준은 등적 랜턴 액세스 메모리 패크로 및 로직 코어 를 병합한다. 마셔 매크로 및 로직 코어에 대한 높은 성능 및 낮은 클릭 스큐를 위해 아키텍처는 평형 클릭 분배에 의존한다. 제대 로직의 총력 드라이버로부터 각종 마셔 매크로의 대응하는 입력까지의 종력 본래에에 의존한다. 제대 로직의 총력 드라이버로부터 각종 마셔 매크로의 대응하는 입력까지의 공한 와이머링에 의해 아드레스 및 제어 신호의 지연의 차가 최소화된다. 분리된 Ydd 및 Grd 전력 그리드는 와이머링에 의해 아드레스 및 제어 신호의 지연의 차가 최소화된다. 분리된 Ydd 및 Grd 전략 그리드는 RAM 매크로 및 로직 코어에 전력을 분배하고 디커플링 캐패시터 머레미를 내장하여 마셔 매크로 및 로직 RAM 매크로 및 로직 사이의 잡물을 역제하고 참 통작시에 전원 변동 di/dt을 최소화한다. 따라서, 병합된 마셔 및 논리 설사이의 잡물을 역제하고 참 통작시에 전원 변동 di/dt을 최소화한다. 자라서, 병합된 마셔 및 논리 설계로부터의 표준은 시스템 온첩 설계시에 단순성, 높은 판독 및 기록 액세스 속도, 저전력 소비 및 잡음 억제의 장점을 제공한다.

(57) 결구의 범위

단입 칩(a single chip)상의 병합된 등적 랜덤 액세스 메모리/논리 소자(a merged dynamic random access memory/logic device)에 있어서,

① 첩의 상촉 및 하촉 부분상의 다수의 동적 랜덤 액세스 메모리 메크로(a plurality of dynamic random access memory macros)와,

② 상기 다수의 동적 랜덤 액세스 메모리 때크로 사이의 칩 중앙부상에 배치되는 다수의 로직 코어(a plurality of logic cores) — 상기 로직 코어중 하나는 상기 다수의 동적 랜덤 액세스 메모리 매크로에 대해 제어 및 어드레스 신호를 생성하는 메모리 제어기이다 — 와,

③ 온첩 시스템 플러 및 분배 네트워크(an on-chip system clock and distribution network) — 상기 분 에 온첩 시스템 플러 및 분배 네트워크(an on-chip system clock and distribution network) — 상기 분 에 네트워크는 상기 온첩 시스템 클릭으로부터 상기 첩의 중앙으로 클릭 신호를 경로배정하고 나서 버퍼 링하며, 인버터의 평형 트리(a bainced tree of inverters) 및 상기 다수의 통적 랜덤 액세스 메모리 때 링로를 구동시키기 위해 특정한 푹과 두께를 갖는 금속 와미어(metal wire)를 통해 상기 클릭 신호를 팬 이웃(fan out)되고 상기 다수의 로직 코어는 진성 클릭 스큐(intrinsic clock skew)가 없는 메모리 제머 기를 프라하다는 이 기를 포함한다 ― 와.

④ 상기 첩 중앙부의 로직 코머 상단의 다수의 동적 랜덤 액세스 메모리 때크로 및 로직 코머 하단의 다수의 동적 랜덤 액세스 메모리 때크로 사이에 배치되어, 상기 다수의 동적 랜덤 액세스 메모리 때크로 및 상기 로직 코머 사미의 데미터를 전송하는 병렬 시스템 버스(parallel system buses)와,

⑤ 상기 병렬 시스템 버스의 양 단부에 배치되어, 상기 시스템 버스 및 다수의 오프칩 입/출력 드라이버 (a multiplicity of off chip input/output drivers) 사이의 데이터를 양방향으로 전송하는 멀티플렉서 및 버퍼(multiplexers and buffers)와,

⑥ 상기 다수의 등적 랜덤 액세스 메모리 때크로, 상기 다수의 로직 코머 및 상기 온칩 시스템 클릭에 대한 개념적인 전력 분배 그리드(separate power distribution grids) — 상기 전력 분배 그리드는 상기 다수의 로직 코어로부터 상기 다수의 등적 랜덤 액세스 메모리 매크로를 분리시키는 다수의 디커플링 캐패 수의 로직 코어로부터 상기 다수의 등적 랜덤 액세스 메모리 매크로를 분리시키는 다수의 디커플링 캐패 시터 어레이(a multiplicity of decoupling capacitor arrays)를 포함하여 상기 로직 코머로부터 상기 다시 등적 랜덤 액세스 매모리 매크로에 대한 잡음을 분리하고 칩 성능에 대해 전원 변동 di/dt의 효과를 감소시킨다 — 와,

② 상기 통적 렌덤 액세스 메모리 매크로중 하나 및 상기 통적 랜덤 액세스 메모리 매크로중 또다른 하나 사이에서 그리고 상기 통적 랜덤 액세스 메모리 메크로중 하나, 삼기 로직 코머 및 온첩 시스템 클릭 사 이에서 상기 개념적인 전력 분배 그리드를 접속하거나 개방하는 상기 다수의 프로그램가능한 와이어링 셀 구조(a multiplicity of programmable wiring call structures)

풉 포함하는 병합된 동작 랜덤 액세스 메모리/논리 소자.

청구함 2

제 1 항에 있더서,

상기 온첩 시스템 클럭은 위상 등기 루프(a phase locked loop)를 포함하는 병합된 동적 랜덤 액세스 메 모리/논리 소자.

청구항 3

제 2 함에 있어서,

상기 분배 네트워크는 로컬 클릭 드라이버(local clock drivers)에 부가의 버퍼링 레벨(additional levels of buffering)을 제공하는 글로벌 클릭 드라이버(global clock drivers)를 포함하고, 상기 클릭 신호는 클릭 스큐(clock skew)를 최소화하기 위해 특정한 푹 및 두찌를 갖는 다수의 금속총(a plurality of metal levers)을 이용하여 침상으로 분배되는 병합된 동적 런덤 액세스 메모리/논리 소자.

청구함 4

10-0268745

제 3 함에 있어서.

상기 금속용은 100 LH지 1100 nm의 폭과 100 LH지 1100 nm의 두베를 갖는 병합된 동적 랜덤 액세스 매모 리/논리 소자.

청구항 5

상기 메모리 제어기로부터의 상기 제어 신호는 각각의 평형 트리 구조에 의해 상기 상촉 및 하축의 다수의 등적 런덤 액세스 메모리 메크로로 분배되어 우수 타이밍(even timing)에 의해 상기 제어 신호가 분배되는 병합된 동적 랜덤 액세스 메모리/논리 소자.

제 1 항에 있머서,

상기 등적 랜덤 역세스 메모리 매크로는 통기형 등적 랜덤 액세스 메모리 어레이(synchronous dynamic random access memory arrays)인 병합된 동적 랜덤 액세스 메모리/논리 소자.

단일 첩상의 병합된 통적 랜덤 액세스 메모리 및 로직 기술을 위한 클릭 생성 네트워크에 있어서,

① 위상 동기 루프를 포함하는 온첩 시스템 클릭과,

② 상기 온첩 사스템 클럭에 접속되어 클럭 신호형 칩의 중앙으로 경로배정하고 나서 버떠랑하며, 인버터 의 평형 트리 및 다수의 동적 랜덤 액세스 메모리 배크로와 진성 롤럭 스큐가 없는 다수의 로직 교어를 구동시키기 위해 특정한 폭과 두꼐를 갖는 클럭 와이머를 통해 클럭 신호탐 팬마웃되는 클럭 분배 네트워

상기 클릭 분배 네트워크는 로컬 클릭 드라이버에 부가의 버퍼링 레벨을 제공하는 다수의 메인 글로벌 클릭 드라이버(a multiplicity of main global clock drivers)를 포함하고, 클릭 신호는 플릭 스큐를 최소 럭 드라이버(a multiplicity of main global clock drivers)를 포함하고, 클릭 신호는 플릭 스큐를 최소 화하기 위해 특정한 폭과 두께금 갖는 다수의 금속총을 미용하여 전체 침상으로 분배되는 클릭 생성 네트 워크.

청구항 8

제 7 항에 있어서,

상기 클럭 와이어는 100 내지 1100 mm의 폭과 100 내지 1100 mm의 두께를 갖고, 상기 금속총은 100 내지 1100 mm의 폭과 100 내지 1100 nm의 두께를 갖는 클럭 생성 네트워크.

청구항 9

단일 첩상의 병합된 동작 랜딩 액세스 메모리 및 논리 기술에 있어서,

① 위상 동기 루프를 포함하는 온침 시스템 클릭과, 상기 온참 시스템 클릭에 접속되어 클릭 신호를 칩의 ① 위상 동기 루프를 포함하는 온침 시스템 클릭과, 상기 온참 시스템 클릭에 접속되어 클릭 선호를 칩의 중앙으로 경로배정하고 나서 버퍼링하며, 인비터의 평형 트리 및 다수의 동적 랜덤 액세스 메모리 매크를 와 진성 클릭 스큐가 없는 다수의 로직 코어를 구동시키기 위해 특정한 폭과 두깨를 갖는 클릭 와이머를 당 클릭 신호를 팬마뭇되는 클릭 분배 네트워크 — 상기 클릭 분배 네트워크는 로럼 클릭 드라이버에 통해 클릭 신호를 팬마뭇되는 플릭 분배 네트워크 — 상기 클릭 분배 네트워크는, 클릭 클릭 드라이버를 부가의 버퍼링 레벨을 제공하는 다수의 메인 글로벌 클릭 드라이버를 포함하고, 클릭 신호는 클릭 스큐를 부가의 버퍼링 레벨을 제공하는 다수의 메인 글로벌 클릭 드라이버를 포함하고, 클릭 신호는 클릭 스큐를 강한 지수의 등록을 이용하여 진체 칩상으로 분배된다 — 를 포함하는 클릭 생성 네트워크와,

② 행 액세스 스트로브(row access strobe), 열 액세스 스트로브(column access strobe), 기록 인에이븀 ② 항 액세스 스트로브(row access strobe), 열 액세스 스트로브(column access strobe), 기록 인에이븀 신호, 매크로 선택 신호 및 어드레스 디코더 라인에 대해, 상이한 동적 랜덤 액세스 메모리 메크로에 대한 이미드레스 및 제어 신호의 지연의 처음 최소화하는 방식으로, 제어 로직의 출력 드라이버로부터 상이한 한 어드레스 및 제어 신호의 지연의 처음 최소화하는 입력까지의 평형 와이어림(balanced wiring)를 포함하는 다동적 랜덤 액세스 메모리 매크로에 대한 제어, 어드레스 및 데이터 버스(control, 조현로) (wilti-bank)의 동적 랜덤 액세스 메모리 매크로에 대한 제어, 어드레스 및 데이터 버스(control, 조현로) 상에 설탕 제공화 기업을 받았다. address and data buses)

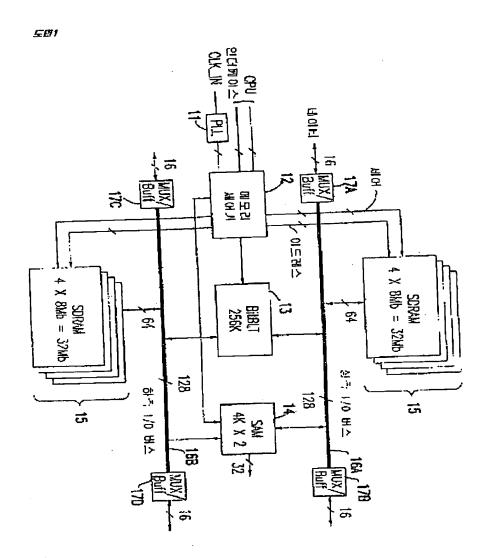
클 포함하는 병합된 통적 랜덤 액세스 메모리/논리 소자.

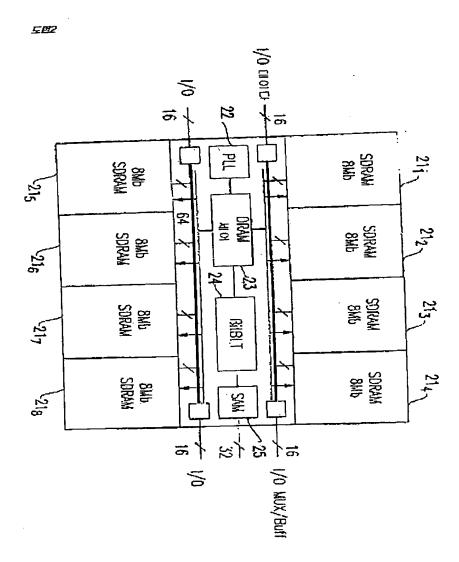
청구함 10

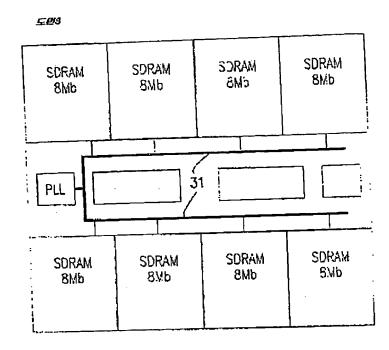
제 9 항에 있어서,

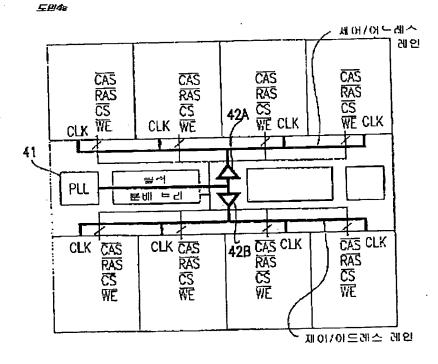
상기 클럭 와미어는 100 내지 1100 ㎜의 폭과 100 내지 1100 ㎜의 두께를 갖고, 상기 금속층은 100 내지 1100 ㎜의 폭과 100 내지 1100 ㎜의 두께를 갖는 병합된 등적 랜텀 액세스 메모리/논리 소자.

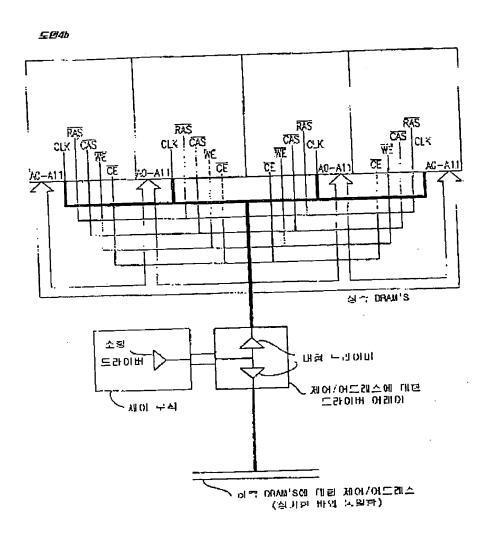
<u> 50</u>



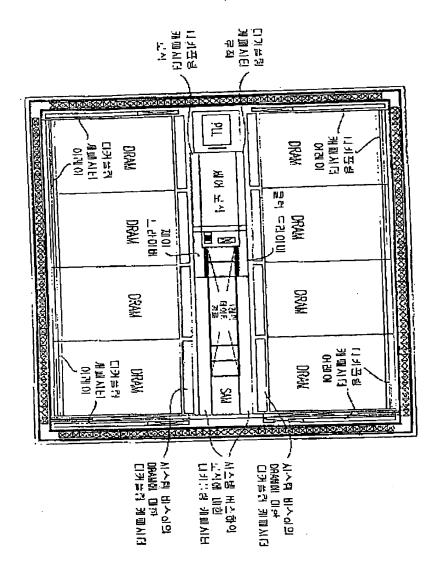




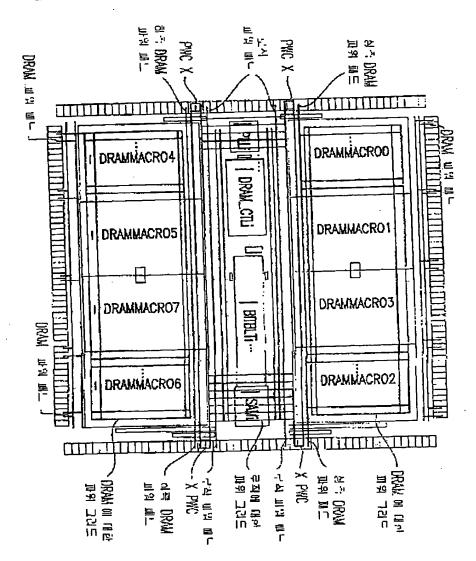




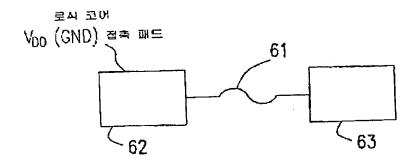
⊊Ø5a



⊊.₽56



*526*0



<u> 5 8</u>66

